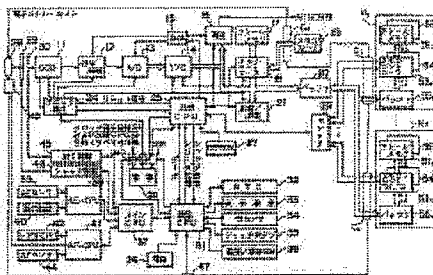


**ELECTRONIC STILL CAMERA AND ITS OPERATION CONTROL METHOD****Publication number:** JP7288761 (A)**Also published as:****Publication date:** 1995-10-31

JP3796269 (B2)

**Inventor(s):** MIYAKE IZUMI; ADACHI KAORU**Applicant(s):** FUJI PHOTO FILM CO LTD**Classification:****- international:** *H04N5/765; H04N5/781; H04N5/765; H04N5/781;* (IPC1-7): H04N5/765; H04N5/781**- European:****Application number:** JP19940101614 19940415**Priority number(s):** JP19940101614 19940415**Abstract of JP 7288761 (A)****PURPOSE:** To realize high-speed consecutive photographing of an electronic still camera.**CONSTITUTION:** While a shutter release button 35 is depressed in the consecutive photographing mode, photographing is performed continuously. Picture data of plural frames obtained by this photographing are read out from a CCD 11 and are processed in a signal processing circuit 12, an A/D conversion circuit 13, etc., and are successively stored in a frame memory 17 and frame memories 511, 521 to 51n, and 52n of extended memory boards M1 to Mn. When depression of the shutter release button 35 is released, picture data stored in each frame memory is successively subjected to compression, encoding, and fixed length processing in a compressing/expanding circuit 21 and is stored in a memory card 19.

---

Data supplied from the *esp@cenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-288761

(43)公開日 平成7年(1995)10月31日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/765			
	5/781			
		7734-5C	H 0 4 N	5/ 781
		7734-5C		5 1 0 E
				5 2 0 A

審査請求 未請求 請求項の数11 F D (全 16 頁)

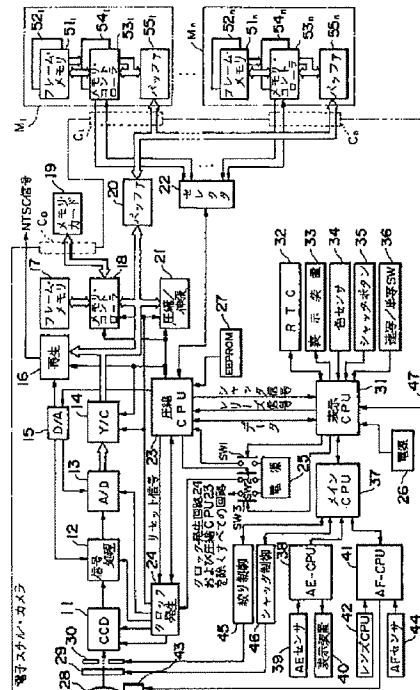
(21)出願番号	特願平6-101614	(71)出願人	000005201 富士写真フイルム株式会社 神奈川県南足柄市中沼210番地
(22)出願日	平成6年(1994)4月15日	(72)発明者	三宅 泉 埼玉県朝霞市泉水三丁目11番46号 富士写真フイルム株式会社内
		(72)発明者	足立 薫 埼玉県朝霞市泉水三丁目11番46号 富士写真フイルム株式会社内
		(74)代理人	弁理士 牛久 健司

(54) 【発明の名称】 電子スチル・カメラおよびその動作制御方法

(57) 【要約】

【目的】 電子スチル・カメラにおいて高速の連写を可能とする。

【構成】 連写モードにおいて、シャッタ・リリース・ボタン35が押下されている間、連続的に撮影が行われる。この撮影により得られた複数駒の画像データは、C C D 11から読出され、信号処理回路12、A/D変換回路13等において処理され、フレーム・メモリ17および増設メモリ・ボードM1～Mnの各フレーム・メモリ51<sub>1</sub>、52<sub>1</sub>～51<sub>n</sub>、52<sub>n</sub>に次々と記憶されていく。シャッタ・リリース・ボタン35の押下が解除されると、各フレーム・メモリに記憶された画像データは、順次、圧縮/伸張回路21によって圧縮、符号化および固定長処理されて、メモリ・カード19に記憶される。



## 【特許請求の範囲】

【請求項1】 メモリ・カードが着脱自在に装着される電子スチル・カメラにおいて、シャッタ・レリーズ・ボタンによってシャッタ・レリーズされている間、あらかじめ定められた一定時間間隔で複数駒の被写体像を連続して撮像し、撮像により得られた複数駒の被写体像をそれぞれ表す映像信号を出力する撮像手段、

上記撮像手段から出力される映像信号を、メモリへの記憶に適したデジタル画像データに変換する信号処理手段、

上記信号処理手段によって変換された複数駒分のデジタル画像データを記憶できる容量をもつメモリ手段、

上記信号処理手段から出力されるデジタル画像データを、上記信号処理手段から出力されるごとに上記メモリ手段に順次書き込むように制御する書き込み制御手段、

上記メモリ手段に記憶されたデジタル画像データを圧縮するデータ圧縮手段、およびシャッタ・レリーズ・ボタンによるシャッタ・レリーズが解除された後に、上記圧縮手段に上記メモリ手段に記憶されたデジタル画像データの圧縮を駒ごとに行わせ、圧縮されたデジタル画像データを駒ごとに上記メモリ・カードに記憶する圧縮／記憶制御手段、

を備えている電子スチル・カメラ。

【請求項2】 上記メモリ手段が複数個のメモリから構成され、

複数個の上記メモリをそれぞれ装着するための複数の接続手段を備え、

上記各メモリは、上記複数の接続手段のそれぞれに着脱自在に接続されているものである、

請求項1に記載の電子スチル・カメラ。

【請求項3】 上記メモリ手段に記憶できる被写体像の駒数を表す連写可能駒数を求める手段、

上記求められた連写可能駒数を表示する表示手段、および被写体像の撮像が行われるごとに、上記表示手段に表示された連写可能駒数を1つずつ減少させていく表示制御手段を備えている、

請求項1または2に記載の電子スチル・カメラ。

【請求項4】 上記連写可能駒数が0になると、シャッタ・レリーズ・ボタンによるシャッタ・レリーズを無効として、撮像を停止する第1の撮像制御手段を備えている、

請求項3に記載の電子スチル・カメラ。

【請求項5】 上記メモリ・カードに記憶できる被写体像の駒数を表す残り駒数を算出する算出手段、

上記算出手段によって算出された残り駒数を表示する上記表示手段、および被写体像の撮像が行われるごとに、上記表示手段に表示された残り駒数を1つずつ減少させていく上記表示制御手段を備えている、

請求項3または4に記載の電子スチル・カメラ。

【請求項6】 上記残り駒数が0になると、シャッタ・レリーズ・ボタンによるシャッタ・レリーズを無効として、撮像を停止する第2の撮像制御手段を備えている、請求項5に記載の電子スチル・カメラ。

【請求項7】 固体電子撮像素子を備え、かつ固体電子撮像素子から出力される映像信号を信号処理して、着脱自在に装着されたメモリ・カードに格納する電子スチル・カメラにおいて、

シャッタ・レリーズ・ボタンによってシャッタ・レリーズされている間、あらかじめ定められた一定時間間隔で複数駒の被写体像を連続して撮像して、上記固体電子撮像素子から複数駒の被写体像をそれぞれ表す映像信号を得、

上記映像信号を、メモリへの記憶に適したデジタル画像データに変換し、

上記変換された複数駒分のデジタル画像データを、複数駒分のデジタル画像データを記憶できる容量をもつメモリに、変換するごとに順次書き込み、

シャッタ・レリーズ・ボタンによるシャッタ・レリーズが解除された後に、上記メモリに記憶したデジタル画像データの圧縮を行い、

圧縮したデジタル画像データを上記メモリ・カードに記憶する、

電子スチル・カメラの動作制御方法。

【請求項8】 固体電子撮像素子を露光すること、固体電子撮像素子から映像信号を読み出すこと、この映像信号のデジタル画像データへの変換を含む信号処理、デジタル画像データのメモリへの一時記憶、画像データを上記メモリから読み出して圧縮処理すること、および圧縮画像データをメモリ・カードに格納することからなる一連の撮影、記録シーケンスを実行する電子スチル・カメラにおいて、

前半シーケンスを上記露光、読出し、信号処理および一時記憶から構成し、

後半シーケンスを上記圧縮処理および格納から構成し、シャッタ・レリーズ・ボタンによってシャッタ・レリーズされている間、上記前半シーケンスを一定時間間隔で連続的に実行することにより、上記メモリに一時記憶された複数駒の画像データを得、

シャッタ・レリーズ・ボタンによるシャッタ・レリーズの解除の後に、上記後半シーケンスを一駒の画像データごとに実行する、

電子スチル・カメラの動作制御方法。

【請求項9】 上記メモリに記憶できる駒数を表す連写可能駒数を求め、

一駒についての前半シーケンスを実行するごとに連写可能駒数を1つずつ減少させ、

連写可能駒数が0になったときに前半シーケンスを強制的に終了させ、後半シーケンスに移る、

請求項8に記載の電子スチル・カメラの動作制御方法。

【請求項10】 上記メモリに一時記憶されたすべての画像データについて上記後半シーケンスが終了するまで、上記前半シーケンスの開始を禁止する、

請求項9に記載の電子スチル・カメラの動作制御方法。

【請求項11】 上記メモリ・カードに格納できる駒数を表す残り駒数を求め、

一駒についての前半シーケンスを実行するごとに、残り駒数を1ずつ減少させ、

残り駒数が0になったときに前半シーケンスを強制的に終了させ、後半シーケンスに移る、

請求項8に記載の電子スチル・カメラの動作制御方法。

【発明の詳細な説明】

【0001】

【技術分野】この発明は、連写用メモリを備えた電子スチル・カメラおよびその動作制御方法に関する。

【0002】

【従来技術】電子スチル・カメラにおいては、撮影により得られた画像データは、電子スチル・カメラの内部にあるフレーム・メモリに一旦記憶される。そして、記憶された画像データは、圧縮された後にメモリ・カード等の外部記憶装置に格納される。

【0003】従来の電子スチル・カメラに備えられたフレーム・メモリは、一駒分（一つの絵）の画像データを記憶できる容量をもつものである。また、一駒撮影するごとに、撮影により得られた画像データを圧縮し、外部記憶装置に格納するというシーケンスがとられていた。2駒以上を連続して撮影する連写モードにおいても、フレーム・メモリ内に一旦記憶された画像データを圧縮し、外部記憶装置に格納する処理が完了するまでは、次の駒の撮影が行えなかった。

【0004】撮影してから画像データを外部記憶装置に記憶するまでの時間は、外部記憶装置としてSRAMで構成されたメモリ・カードを用いた場合に、露光制御に要する時間を除いても約700[msec]（CCDからのデータの読出しと信号処理に約150[msec]、圧縮処理とカード書込み等に約550[msec]）かかる。フラッシュ・メモリで構成されたメモリ・カードを用いた場合には約1[s]（CCDからのデータの読出しと信号処理に約150[msec]、圧縮処理とカード書込み等に約850[msec]）の時間を要する。

【0005】したがって、従来の電子スチル・カメラでは、1秒間に2駒以上の連続撮影を行うことはできず、ユーザはシャッター・チャンスを逃す等の問題があった。

【0006】

【発明の開示】この発明の目的は、連続した撮影を高速に行うことが可能な電子スチル・カメラおよびその動作制御方法を提供することにある。

【0007】この発明による電子スチル・カメラは、メモリ・カードが着脱自在に装着される電子スチル・カメラにおいて、シャッター・レリーズ・ボタンによってシャ

ッター・レリーズされている間、あらかじめ定められた一定時間間隔で複数駒の被写体像を連続して撮像し、撮像により得られた複数駒の被写体像をそれぞれ表す映像信号を出力する撮像手段、上記撮像手段から出力される映像信号を、メモリへの記憶に適したデジタル画像データに変換する信号処理手段、上記信号処理手段によって変換された複数駒分のデジタル画像データを記憶できる容量をもつメモリ手段、上記信号処理手段から出力されるデジタル画像データを、上記信号処理手段から出力されるごとに上記メモリ手段に順次書き込むように制御する書込み制御手段、上記メモリ手段に記憶されたデジタル画像データを圧縮するデータ圧縮手段、およびシャッター・レリーズ・ボタンによるシャッター・レリーズが解除された後に、上記圧縮手段に上記メモリ手段に記憶されたデジタル画像データの圧縮を駒ごとに行わせ、圧縮されたデジタル画像データを駒ごとに上記メモリ・カードに記憶する圧縮／記憶制御手段を備えている。

【0008】この発明による電子スチル・カメラの動作制御方法は、固体電子撮像素子を備え、かつ固体電子撮像素子から出力される映像信号を信号処理して、着脱自在に装着されたメモリ・カードに格納する電子スチル・カメラにおいて、シャッター・レリーズ・ボタンによってシャッター・レリーズされている間、あらかじめ定められた一定時間間隔で複数駒の被写体像を連続して撮像して、上記固体電子撮像素子から複数駒の被写体像をそれぞれ表す映像信号を得、上記映像信号を、メモリへの記憶に適したデジタル画像データに変換し、上記変換された複数駒分のデジタル画像データを、複数駒分のデジタル画像データを記憶できる容量をもつメモリに、変換するごとに順次書き込み、シャッター・レリーズ・ボタンによるシャッター・レリーズが解除された後に、上記メモリに記憶したデジタル画像データの圧縮を行い、圧縮したデジタル画像データを上記メモリ・カードに記憶するものである。

【0009】メモリ手段またはメモリには、SRAM、DRAM、フラッシュ・メモリ、光メモリ等が含まれる。

【0010】この発明によると、シャッター・レリーズ・ボタンによってシャッター・レリーズされている間、複数駒の被写体像が、あらかじめ定められた一定時間間隔で連続して撮像される。撮像により得られた複数駒の被写体像は、固体電子撮像素子から映像信号として出力される。出力された映像信号は、メモリへの記憶に適したデジタル画像データに変換される。電子スチル・カメラには、複数駒分のデジタル画像データを記憶できる容量をもつメモリ手段が設けられている。複数駒分のデジタル画像データは、メモリ手段に順次記憶されていく。シャッター・レリーズ・ボタンによるシャッター・レリーズが解除されると、上記メモリ手段に記憶されたディ

ジタル画像データが駒ごとに圧縮される。圧縮されたデジタル画像データは、電子スチル・カメラに着脱自在に装着されたメモリ・カードに記憶される。

【0011】この発明によると、連写動作においては、固体電子撮像素子による撮像、固体電子撮像素子からの映像信号の読出し、映像信号のデジタル画像データへの変換を含む信号処理および画像データのメモリへの一時記憶からなる前半シーケンスが一定時間間隔で複数回にわたって連続的に繰返される。この前半シーケンスが終了した後に、画像データの圧縮および圧縮画像データのメモリ・カードへの格納からなる後半シーケンスが駒ごとに実行される。比較的時間のかかる後半シーケンスが後回しにされ、前半シーケンスのみが連続的に繰返される。したがって、一駒の撮像から次の駒の撮像までの時間が短縮され、高速な連写が可能となる。

【0012】メモリ手段として高速にデータを記憶できるものを用いることにより、撮像により得られた一駒一駒のデジタル画像データを速やかに記憶できる。これによっても、一駒の撮像から次の駒の撮像までの時間が短縮される。

【0013】好ましくは、上記メモリ手段が複数個のメモリから構成される。また、この発明による電子スチル・カメラは、複数個の上記メモリをそれぞれ装着するための複数の接続手段を備えている。接続手段には、コネクタ等が含まれる。上記各メモリは、上記複数の接続手段のそれぞれに着脱自在に接続される。これにより、電子スチル・カメラのユーザは、必要とする連写駒数に応じて、装着するメモリの数を多くしたり、少なくしたりできる。また、ユーザは、オプションとしてメモリの装着を選択できる。

【0014】さらに好ましくは、この発明による電子スチル・カメラは、上記メモリ手段に記憶できる被写体像の駒数を表す連写可能駒数を求める手段、上記求められた連写可能駒数を表示する表示手段、および被写体像の撮像が行われるごとに、上記表示手段に表示された連写可能駒数を1つずつ減少させていく表示制御手段を備えている。

【0015】メモリに記憶できる被写体像の駒数を表す連写可能駒数が求められる。この連写可能駒数は、表示手段に表示される。これにより、ユーザは、連写モードにおいて何駒連写できるかを容易に知ることができる。また、撮像が行われるごとに、連写可能駒数は1つずつ減少させられる。これにより、ユーザは、残り何駒撮像できるかを容易に知ることができる。

【0016】また、上記連写可能駒数が0になると、撮像により得られたデジタル画像データをメモリに記憶できないのであるから、シャッタ・リリース・ボタンによるシャッタ・リリースを無効として、撮像（上記前半シーケンス）を停止することが好ましい。

【0017】また、この発明による電子スチル・カメラ

は、上記メモリ・カードに記憶できる被写体像の駒数を表す残り駒数を算出する算出手段、上記算出手段によって算出された残り駒数を表示する上記表示手段、および被写体像の撮像が行われるごとに、上記表示手段に表示された残り駒数を1つずつ減少させていく上記表示制御手段を備えている。

【0018】メモリ・カードに記憶できる被写体像の駒数を表す残り駒数が算出される。算出された残り駒数は表示手段に表示される。これにより、ユーザは、連写モードにおいて何駒のデジタル画像データをメモリ・カードに記憶できるかを容易に知ることができる。また、撮像が行われるごとに、残り駒数は1つずつ減少させられる。したがって、ユーザは、残り何駒撮像できるかを容易に知ることができる。

【0019】また、上記残り駒数が0になると、撮像により得られたデジタル画像データをメモリ・カードに記憶できないのであるから、シャッタ・ボタンによるシャッタ・リリースを無効として、撮像（上記前半シーケンス）を停止することが好ましい。

【0020】

【実施例の説明】図1は、電子スチル・カメラの電氣的構成を示すブロック図である。この電子スチル・カメラには、単写モードおよび連写モードにおいて撮影された被写体像を表す画像データを記憶するためのメモリ・カード19（外部記憶媒体）、ならびに連写モードにおいて撮影された複数駒の被写体像を表す画像データを一時的に記憶するための増設メモリ・ボードM1～Mn（オプションとして取り付けられる補助メモリ）が接続されている。

【0021】メモリ・カード19は半導体メモリを内蔵するもので、電子スチル・カメラに備えられたコネクタC0に着脱自在である。メモリ・カード19は、コネクタC0に装着されることにより、電子スチル・カメラ（メモリ・コントローラ18）の各種バスと電氣的に接続される。メモリ・カード19には、1駒分の圧縮された画像データ（圧縮画像データ）が1つのファイルとして記憶される。各ファイルの圧縮画像データのバイト数（長さ）は、一定値（バイト数Tとする）に固定されている。メモリ・カード19には、ファイルを管理するためのディレクトリおよびFAT（File Allocation Table）が設けられる。また、メモリ・カード19には、各ファイルの画像データを撮像したときの日付を表す日付データを、各ファイルに対応させて記憶する領域（日付データ領域）が設けられている。メモリ・カード19は、一般には電子スチル・カメラのユーザによって着脱されるであろう。

【0022】増設メモリ・ボードM1～Mnは、電子スチル・カメラに設けられたコネクタC1～Cnにそれぞれ着脱自在である。増設メモリ・ボードM1～Mnは、コネクタC1～Cnにそれぞれ取り付けられることにより、電子スチル・カメラの各種バスと電氣的に接続され

る。コネクタC1～Cnのそれぞれには1からnまでの番号が順番に付けられている。n個の全てのコネクタに増設メモリ・ボードを取り付けることもできる。一部のコネクタにn以下の任意の個数の増設メモリ・ボードを取り付けることもできる。一部のコネクタに増設メモリ・ボードを接続する場合には、増設メモリ・ボードは番号1が付けられたコネクタC1から始まって番号の小さい順に取り付けられることが約束されている。

【0023】増設メモリ・ボードM1～Mnは、一般には電子スチル・カメラの内部に設けられる。増設メモリ・ボードM1～Mnは、主にこの電子スチル・カメラの製造者によって取り付けられよう。もちろんユーザが取り付けられることもできる。

【0024】増設メモリ・ボードM1は、2つのフレーム・メモリ51iおよび52i（SRAM、DRAM、フラッシュ・メモリ等）、これらのフレーム・メモリに対応して設けられたメモリ・コントローラ53iおよび54iならびにバッファ・メモリ55iを備えている。

【0025】各フレーム・メモリは、撮影により得られた1駒分の画像データを記憶するのに十分な記憶容量を持っている。したがって、増設メモリ・ボードM1には撮影により得られた2駒分の画像データを記憶することができる。

【0026】バッファ・メモリ55iはフレーム・メモリ51iまたは52iに書込むべき、またはこれらのフレーム・メモリから読出された画像データを一時的に記憶するために用いられる。メモリ・コントローラ53iはフレーム・メモリ51iへの画像データの書込み、およびフレーム・メモリ51iからの画像データの読出しを制御する。メモリ・コントローラ54iはフレーム・メモリ52iへの画像データの書込み、およびフレーム・メモリ52iからの画像データの読出しを制御する。

【0027】メモリ・コントローラ53iおよび54iは、その内部にステータス・レジスタをそれぞれ備えている。これらのステータス・レジスタには、あらかじめ定められた特定のコード（Aとする）が設定される。このコードAは、圧縮CPU23がコネクタC1に増設メモリ・ボードM1が装着されているかどうかを確認するときに用いられる。

【0028】他の増設メモリ・ボードMi（i=2～n）の構成は、増設メモリ・ボードM1の構成と同じである。i個の増設メモリ・ボードが接続されることにより、増設メモリ・ボード全体で2i駒の画像データを記憶することができる。

【0029】これらの増設メモリ・ボードMi（i=1～n）のフレーム・メモリ51iおよび52iへの画像データの書込み、またはこれらのフレーム・メモリからの画像データの読出しのために、1つのフレーム・メモリが選択される。この選択は、対応するメモリ・コントローラ（53iおよび54iのいずれか）を、圧縮CPU23がセ

レクタ22を通して選択することにより行われる。

【0030】電子スチル・カメラの動作は、主に、圧縮CPU23、表示CPU31およびメインCPU37によって制御される。これらのCPU23、31および37は相互に通信しながら後述する単写モードおよび連写モードにおける撮影、記録等の処理を実行する。

【0031】圧縮CPU23は、撮影により得られた画像データの処理の制御、画像データのフレーム・メモリ17、51i、52iへの書込みおよびフレーム・メモリからの読出しの制御、ならびに処理された画像データ（圧縮画像データ）のメモリ・カード19への書込みおよびメモリ・カードからの読出しの制御を行う。表示CPU31は各種操作ボタン、センサからの信号の取込みおよび表示制御、とくに、ユーザによるシャッタ・リリース・ボタン35の操作に基づいて、撮影処理の開始、終了等の制御を行う。メインCPU37は、自動合焦（AF）制御および自動露光（AE）制御を行う。

【0032】圧縮CPU23の内部ROMには、撮影処理に必要なプログラムおよびデータがあらかじめ記憶されている。図6は、圧縮CPU23の内部ROMにあらかじめ記憶されているデータおよびプログラムを示している。

【0033】連写可能駒数算出プログラムは、連写モードにおいて連写できる駒数L（以下「連写可能駒数」という）を求めるためのプログラムである。

【0034】シャッタ・リリース・ボタン35が半押しされたときに、圧縮CPU23は、この連写可能駒数算出プログラムにしたがって次のようにして連写可能駒数Lを求める。

【0035】まず、圧縮CPU23は、セクタ22およびコネクタC1～Cnを介して、増設メモリ・ボードM1～Mnを順次アクセスし、増設メモリ・ボードMiのメモリ・コントローラ53iおよび54iに備えられているステータス・レジスタのコードAを読み出す。圧縮CPU23は、メモリ・コントローラ53iおよび54iのステータス・レジスタから読出したコードと内部ROMに記憶されたリファレンス・コードAとを比較する。これらのコードが一致すれば、圧縮CPU23は増設メモリ・ボードMiが接続されていると判断する。一致しなければ（増設メモリが接続されていないのでメモリ・コントローラからコードAを読出せない場合が多い）、接続されていないと判断する。圧縮CPU23は、増設メモリ・ボードM1からMnに向けて順次上記の処理を繰返していき、接続されている増設メモリ・ボードの個数をカウントする（カウント値をkとする）。接続されていないとはじめて判断したときに、カウントが停止される。このようにして、接続された増設メモリ・ボードの個数kが求められる。

【0036】続いて、圧縮CPU23は、カウント値kに基づいて連写可能駒数Lの値を求める。連写モードにお

いて、第1駒目の画像データは、フレーム・メモリ17に記憶される。第2駒目以降の画像データは、増設メモリ・ボードM<sub>k</sub>からM<sub>k</sub>の各フレーム・メモリに順次記憶されていく。したがって、k個の増設メモリ・ボードが接続されている場合の連写可能駒数Lは、 $L = 2 \cdot k + 1$ となる。この連写可能駒数Lは、表示CPU31に与えられる。

【0037】残り駒数算出プログラムは、メモリ・カード19に記憶できる画像データの駒数N（以下「残り駒数」という）を算出するためのプログラムである。

【0038】圧縮CPU23は、シャッタ・リリース・ボタン35が半押しされたときに、この残り駒数算出プログラムにしたがって残り駒数Nを算出する。まず、圧縮CPU23は、メモリ・カード19のFATの読み出し指令をメモリ・コントローラ18に与える。メモリ・コントローラ18は、この指令に基づいてメモリ・カード19からFATを読み出す。

【0039】メモリ・カード19が装着されている場合には、メモリ・コントローラ19はメモリ・カード19から読み出したFATを圧縮CPU23に与える。圧縮CPU23は、読み出されたFATに基づいてメモリ・カード19の空き容量を求める。また、圧縮CPU23は、その内部ROMにあらかじめ記憶されている、1駒分の圧縮画像データのバイト数Tを参照する。圧縮CPU23は、1駒分のバイト数Tおよび求めた空き容量に基づいて、残り駒数Nを求める。圧縮CPU23は、求めた残り駒数Nおよびメモリ・カード19が装着されていることを表すデータ（装着検出データ）を表示CPU31に与える。

【0040】メモリ・カード19が装着されていない場合には、メモリ・コントローラ18は、装着されていないことを表すデータ（未装着検出データ）を圧縮CPU23に与える。圧縮CPU23は、メモリ・コントローラ18から未装着検出データを受けると、この未装着検出データを表示CPU31に与える。

【0041】圧縮CPU23の内部ROMに記憶された時間 $\alpha$ は、シャッタ・リリース・ボタン35によってシャッタ・リリース（ボタン35の全押し）が行われた後に圧縮CPU23がその内部タイマに用いて計時する時間を表している。

【0042】この時間 $\alpha$ の間に、表示CPU31は、ホワイト・バランス・データ等の撮影処理に必要なデータを圧縮CPU23に与える。また、圧縮CPU23は、信号処理回路12等に、画像信号処理に必要なゲイン・データを設定する。

【0043】時間 $\beta$ は、連写モードにおいて、ある駒の撮影と次の駒の撮影との間におかれるインターバル時間を表している。この $\beta$ の値は、1秒間に連写される駒数にしたがって定められる。例えば、1秒間に3駒の連写を行う場合には、 $\beta = 7 \text{ VD}$ （ $1 \text{ VD} = 1/60 \text{ 秒}$ ）と定められる。

【0044】1ブロックのバイト数Sは、撮像により得られた画像データを圧縮するときに用いられる。1駒分の画像データは複数のブロックに分割され、ブロックごとにADCT（Adaptive Discrete Cosine Transform）アルゴリズムにしたがってデータ圧縮される。各ブロックの圧縮データは、ハフマン符号に変換される。その後、各ブロックは、このバイト数Sの長さに調整される（固定長処理）。ハフマン符号に変換されたブロック（符号化ブロック）のバイト数がSに満たない場合には、バイト数Sになるようにダミーのデータがそのブロックに付加される。符号化ブロックのバイト数がSを超える場合には、バイト数Sになるまで、圧縮処理およびハフマン符号化処理が繰り返される。このバイト数Sと分割されたブロックの数との積は、上記1駒分の画像データのバイト数Tとなる。

【0045】単写モード用プログラムは、単写モードにおいて実行される圧縮CPU用撮影処理プログラムである。連写モード用プログラムは、連写モードにおいて実行される圧縮CPU用撮影処理プログラムである。これらの2つのプログラムの内容については、以下の単写モードおよび連写モードにおける電子スチル・カメラの動作においてそれぞれ詳述する。

【0046】圧縮CPU23の内部RAMには、撮影処理において用いられるデータが記憶される。図7は、圧縮CPU23の内部RAMに記憶されるデータを示している。

【0047】設定モード・データは、連写／単写切換スイッチ36の状態を表すデータである。連写／単写切換スイッチ36が単写モードに設定されている場合には、設定モード・データは単写モードを表すデータとなる。連写／単写切換スイッチ36が連写モードに設定されている場合には、設定モード・データは連写モードを表すデータとなる。表示CPU31は、シャッタ・リリース・ボタン35が半押しされたときに、この連写／単写切換スイッチ36の状態を読み取り、このスイッチ36の状態を設定モード・データとして圧縮CPU23に与える。圧縮CPU23は、この設定モード・データにしたがって単写モード用プログラムおよび連写モード用プログラムのいずれか一方を選択して、撮影処理を行う。

【0048】ホワイト・バランス・データ（WBデータ）は、信号処理回路12に含まれるホワイト・バランス調整回路に設定されるゲイン・データである。表示CPU31は、色センサ34の色検出信号に基づいてWBデータの値を求める。そして、シャッタ・リリースが行われてから時間 $\alpha$ の間に、WBデータは、表示CPU31から圧縮CPU23に与えられる。

【0049】撮像許可時間帯 $\gamma$ はCCD11による撮像が許可されている時間帯を表す。この撮像許可時間帯は、自動露光（AE）処理のときにメインCPU37が求めたシャッタ速度（フォーカル・プレーン・シャッタ29の開

放時間)に基づいて定められる。シャッタ29の開放時間のうちの1VD(1/60秒)未満の端数を切り上げてVDの整数倍( $n \cdot VD$ ;  $n$ は整数)とした時間が、撮像許可時間帯 $\gamma$ として定められる。例えば、シャッタ29の開放時間(シャッタ速度)が0.3VDや0.5VDの場合には、撮像許可時間帯 $\gamma$ は1VDとなる。この撮像許可時間帯においてシャッタ29が開放される。シャッタ速度(シャッタ速度データ)は、メインCPU37から表示CPU31に与えられ、表示CPU31の内部RAMに記憶される。そして、シャッタ・レリーズが行われてから時間 $\alpha$ の間に、シャッタ速度データは、表示CPU31から圧縮CPU23に与えられる。圧縮CPU23は、このシャッタ速度データに基づいて撮像許可時間帯を求め、内部RAMに記憶する。

【0050】日付データは、リアル・タイム・クロック32(Real Time Clock;時計、以下「RTC」という)が計時している現在の日付を表すデータである。シャッタ・レリーズが行われてから時間 $\alpha$ の間に、表示CPU31はRTC32から現在の日付を読み出し、これを日付データとして圧縮CPU23に与える。圧縮画像データがファイルとしてメモリ・カード19に記憶されるときに、この日付データは、メモリ・カード19の日付データ領域に、このファイルに対応づけられて記憶される。

【0051】連写駒数は、連写モードにおいて撮影された駒数を表す。一駒一駒の撮影が行われるごとに、圧縮CPU23は、連写駒数の値を1から順に一つずつ増加させる。この連写駒数は、撮影後の画像データの圧縮を行うときに用いられる。

【0052】表示CPU31の内部ROMには、図8(A)に示すように、表示CPU31が行う撮影処理に必要なプログラムがあらかじめ記憶されている。単写モード用プログラムは、単写モードにおいて実行される表示CPU用撮影処理プログラムである。連写モード用プログラムは、連写モードにおいて実行される表示CPU用撮影処理プログラムである。これらの2つのプログラムの内容については、以下の単写モードおよび連写モードにおける電子スチル・カメラの動作においてそれぞれ詳述する。

【0053】表示CPU31の内部RAMには、撮影処理において用いられるデータが記憶される。図8(B)は、表示CPU31の内部RAMに記憶されるデータを示している。

【0054】装着／未装着検出データは、メモリ・カード19が装着されているかどうかを表すデータである。このデータは、上述したようにシャッタ・レリーズ・ボタン35が半押しされたときに、圧縮CPU23から表示CPU31に与えられる。

【0055】残り駒数N、および連写可能駒数Lは上述した通りであり、圧縮CPU23から表示CPU31に与えられたものである。設定モード・データは、上述のよう

に連写／単写切換スイッチ36の状態を表すデータである。シャッタ速度データは、シャッタ29の開放時間を表すデータであり、メインCPU37から表示CPU31に与えられたものである。

【0056】EEPROM27(Electrically Erasable Programmable ROM)には、図9に示すように信号処理回路12に含まれるガンマ補正回路のゲイン・データ、再生回路16のゲイン・データ、およびA/D変換回路13の参照電圧を表すデータがあらかじめ記憶されている。シャッタ・レリーズされてから時間 $\alpha$ の間に、これらのデータは、圧縮CPU23によって読出され、D/A変換回路15によってアナログ信号に変換された後に、信号処理回路12、再生回路16およびA/D変換回路13にそれぞれ与えられる。

【0057】[単写モードにおける電子スチル・カメラの動作]電子スチル・カメラを使用するとき、ユーザは電子スチル・カメラに設けられている電源スイッチ47をオンにする。これにより、オン信号が電源スイッチ47から表示CPU31に与えられる。電子スチル・カメラの電源スイッチ47がオフ状態であっても、表示CPU31には、補助電源回路26(電池等)によって電源が供給され、表示CPU31はスリープ状態にある。電源スイッチ47からのオン信号により、表示CPU31はスリープ状態から起上がり、動作を開始する。まず、表示CPU31は、電源スイッチSW3をオンにする。これにより、クロック発生回路24(Clock Generator;以下「CG」という)および圧縮CPU23を除くすべての回路に主電源回路25から電源が供給される。

【0058】電子スチル・カメラのユーザは、撮影を行うときに、連写／単写切換スイッチ36によって連写モードおよび単写モードのいずれか一方をあらかじめ選択する。単写モードが選択された場合には、図2のタイム・チャートに示す処理が行われる。

【0059】シャッタ・レリーズ・ボタン35がユーザによって半押しされると、半押し信号がシャッタ・レリーズ・ボタン35から表示CPU31に与えられる。これにより、表示CPU31は、連写／単写切換スイッチ36の状態(設定モード・データ)を読み取り、内部RAMに設定モード・データを記憶する。このスイッチ36が単写モードに設定されている場合には、表示CPU31はその内部ROMにあらかじめ記憶された単写モード用プログラムを選択する。このスイッチ36が連写モードに設定されている場合には、表示CPU31はその内部ROMにあらかじめ記憶された連写モードにおける処理プログラムを選択する。ここでは、単写モードに設定されているので、表示CPU31は、単写モード用プログラムを選択する。表示CPU31は、この処理プログラムにしたがって単写モード処理を行う。

【0060】表示CPU31は、まず、電源回路25のスイッチSW1をオンにする。これにより、圧縮CPU23に

電源が供給され、圧縮CPU23が起動する(時刻t1)。

【0061】また、表示CPU31は、半押し信号を受けると、設定モード・データ(ここでは、このデータは単写モードを表している)を圧縮CPU23に送るとともに、連写可能駒数Lおよび残り駒数Nの要求信号を圧縮CPU23に与える(図2の符号101)。圧縮CPU23は、受取った設定モード・データを内部RAMに記憶する(図7)。

【0062】圧縮CPU23は上記要求信号に応答して残り駒数プログラムにしたがって残り駒数Nを算出する。まず、圧縮CPU23は、電源回路25のスイッチSW2をオンにする(時刻t2)。これによりCG(Clock Generator)24に電源が供給される。CG24に電源が供給されることにより、クロック信号がY/C処理回路14、メモリ・コントローラ18および圧縮/伸張回路21(これらの3つの回路には、CG24から共通のクロック信号線が接続されている)に供給される。これにより、これらの回路は動作可能となる。後述するが、圧縮CPU23からCG24に与えられているリセット信号がロー・レベル(Lレベル)であるときは、CG24に電源が供給されていても、CCD11、信号処理回路12およびA/D変換回路13にはクロック信号は与えられない。

【0063】圧縮CPU23は、上述したように、残り駒数Nを求める(符号102)。

【0064】続いて、圧縮CPU23は、上述したように、連写可能駒数算出プログラムにしたがって連写可能駒数Lを求める(符号102)。

【0065】圧縮CPU23は、求めた連写可能駒数Lおよび残り駒数Nを表示CPU31に与える(符号103)。また、圧縮CPU23は、メモリ・カード19が装着されていればそのことを表すデータ(装着検出データ)を表示CPU31に与える。

【0066】表示CPU31は、連写可能駒数L、残り駒数Nの値および装着検出データを内部RAMに記憶する(図8(B))。残り駒数Nの値および連写可能駒数Lの値は表示装置33(液晶表示装置等)に表示される(符号104は表示開始時点を表す)。残り駒数Nは数字Nで表示される。残り駒数が0のときは数字0が表示される。同様にして、連写可能駒数Lは数字Lで表示され、L=0のときは数字0が表示される。

【0067】その後、圧縮CPU23は、内部RAMに記憶された設定モード・データに基づいて単写モード用処理プログラムを選択し、このプログラムにしたがって単写モードの処理を行う。

【0068】メモリ・カード19が装着されていない場合には、メモリ・コントローラ18は、装着されていないことを表すデータ(未装着検出データ)を圧縮CPU23に与える。圧縮CPU23は、メモリ・コントローラ18から未装着検出データを受けると、このデータを表示CPU

31に与える(符号103)。表示CPU31は、このデータを内部RAMに記憶する。表示CPU31は、メモリ・カード19が装着されていないことを示す表示を表示装置33に行う。このとき残り駒数は表示されない。

【0069】表示装置33は、電子スチル・カメラのボディの表面に取り付けられている。ユーザは、表示装置33に表示された残り駒数Nまたはメモリ・カードが未装着であることを、この電子スチル・カメラ外部から見ることができる。残り駒数Nが表示されている場合には、ユーザは表示された残り駒数を見て、撮影できる駒数を知ることができる。メモリ・カード19が未装着であることが表示されている場合には、ユーザはメモリ・カードが装着されていないことを知り、必要に応じてメモリ・カードを装着するであろう。

【0070】これらの処理が終了すると、圧縮CPU23は、電源スイッチSW2をオフにして、メモリ・コントローラ18等へのクロック信号の供給を停止する(時刻t3)。

【0071】さらに、表示CPU31は、メインCPU37に自動合焦(AF)処理および自動露光(AE)処理の開始指令を与える。メインCPU31は、AFおよびAEの開始指令を受けると、その内部ROMに記憶された処理プログラムにしたがって、AE-CPU38には測光の開始指令を、AF-CPU41には測距および合焦の開始指令をそれぞれ与える。これによりAEおよびAFが行われる(符号105、106)。

【0072】AEセンサ39(フォト・ダイオード等)は、被写体の明るさを検出する。検出された明るさを表す信号(明るさ信号)は、AE-CPU38に与えられる。AE-CPU38は、測光の開始指令を受けると、明るさ信号を取込み、これに基づいて測光値を求める。この測光値はメインCPU37に与えられる。

【0073】またAE-CPU38は、明るさ信号に基づいて露光アンダー(被写体が暗すぎる)か、露光オーバー(被写体が明るすぎる)かを判断する。そして、露光アンダーの場合には、AE-CPU38は、ファインダの中に設けられている表示装置40(液晶表示装置等)に露光アンダー警告を表示する。露光オーバーの場合には、AE-CPU38は、表示装置40に露光オーバー警告を表示する。ユーザはこの警告を見て、露光アンダーか露光オーバーかを知ることができる。

【0074】上記測光値の算出および露光オーバーまたは露光アンダーの警告表示は、AE-CPU38の内部ROMに記憶されたプログラムにしたがって行われる。

【0075】メインCPU37は、与えられた測光値に基づいて絞り値およびシャッタ速度(フォーカル・プレーン・シャッタ29の開放時間)を求める。絞り値は絞り制御装置45に与えられる。絞り制御装置45は、与えられた絞り値に基づいて絞り30を制御する。シャッタ速度を表すデータ(シャッタ速度データ)はメインCPU37の内

部RAMに記憶される。このシャッタ速度データは、フォーカル・プレーン・シャッタ29の開放から閉鎖までの時間を計時するのに用いられる。

【0076】また、シャッタ速度データは、メインCPU37から表示CPU31に与えられる。表示CPU31は、その内部RAMにこのシャッタ速度データを記憶する(図8(B))。

【0077】レンズCPU42は、その内部ROMに記憶された処理プログラムにしたがってレンズのズーム位置を求める。このズーム位置を表すデータは、AF-CPU41に与えられる。AFセンサ44は、カメラから被写体までの距離を検出する。この距離を表すデータは、AF-CPU41に与えられる。

【0078】AF-CPU41は、測距および合焦の開始指令を受けると、測距値を求める。測距値の算出には、レンズCPU42からのレンズのズーム位置を表すデータおよびAFセンサ44からの距離を表すデータが用いられる。AF-CPU41は、測距値に基づいてAF用モータ43を駆動してレンズの位置を調整し、被写体に焦点を合わせる。これらの処理が終了すると、AF-CPU41は、処理終了通知をメインCPU37に与える。AF-CPU41のこれらの処理は、その内部ROMに記憶されたプログラムにしたがって行われる。

【0079】メインCPU37は、AF制御およびAE制御が完了すると、AFおよびAEの完了通知を表示CPU31に与える。また、メインCPU37は、レリーズ許可を表示装置40に表示するように、AE-CPU38に指令する。AE-CPU38は、この指示にしたがってレリーズ許可を表示装置40に表示する。これにより、ユーザはシャッタ・レリーズが可能となったことを知ることができる。

【0080】表示CPU31は、メインCPU37からのAF制御およびAE制御の完了通知を受けると、シャッタ・レリーズ・ボタン35からのシャッタ・レリーズの信号(全押し信号)の入力待ち状態となる。表示CPU31は、シャッタ・レリーズ・ボタン35からの全押し信号を受けると、圧縮CPU23に与えられているレリーズ信号をハイ・レベル(Hレベル)にする(時刻t4)。上記AF制御およびAE制御の間に、シャッタ・レリーズ・ボタン35からの全押し信号が表示CPU31にすでに与えられているならば、表示CPU31は、直ちにレリーズ信号をHレベルにする。

【0081】圧縮CPU23に与えられているレリーズ信号がHレベルになると、圧縮CPU23は、電源スイッチSW2を再びオンにする(時刻t4)。また、圧縮CPU23は、内部にあるタイマをスタートさせ、時間 $\alpha$ を計時する(時刻t4)。

【0082】この時間 $\alpha$ の間に、表示CPU31は、色センサ34からの色信号に基づいてWBデータを作成する。また、表示CPU31は、RTC32から現在の日付を読み

出す。表示CPU31は、WBデータ、日付および上記AE制御のときに求められたシャッタ速度データを圧縮CPU23に与える(符号107)。圧縮CPU23はWBデータおよび日付データを内部RAMに記憶する(図7)。また圧縮CPU23はシャッタ速度データに基づいて、撮像許可時間帯 $\gamma$ を求め、これを内部RAMに記憶する(図7)。

【0083】また、この時間 $\alpha$ の間に、圧縮CPU23は、EEPROM27から、信号処理回路12に含まれるガンマ補正回路のゲイン・データ、再生回路16のゲイン・データ、およびA/D変換回路13の参照電圧を表すデータを読み出す(図9)。これらのデータは、D/A変換回路15(電子ボリューム)によってアナログ信号に変換された後に、信号処理回路12、再生回路16およびA/D変換回路13にそれぞれ設定される(符号108)。また、表示CPU31から圧縮CPU23に与えられたWBデータは、D/A変換回路15(電子ボリューム)によってアナログ信号に変換された後、信号処理回路12に含まれるホワイト・バランス調整回路に設定される(符号108)。

【0084】表示CPU31および圧縮CPU23が上記処理を行うのに十分な時間が、時間 $\alpha$ として設定されている。

【0085】タイマが時間 $\alpha$ の計時を終了すると、圧縮CPU23は、CG24に与えられているリセット信号をHレベルにする(時刻t5)。このリセット信号がHレベルになると、CG24は、CCD11には水平転送信号と垂直転送信号を、信号処理回路12にはクランプ・パルス信号を、A/D変換回路13にはサンプリング・クロック信号を、圧縮CPU23には垂直同期基準信号(VD信号)をそれぞれ供給する。CG24は、Y/C処理回路14、メモリ・コントローラ18および圧縮/伸張回路21には、(リセット信号がLレベルである間も含めて)継続してクロック信号を供給する。

【0086】圧縮CPU23は、時間 $\alpha$ の経過後は、CG24から供給されるVD信号をカウントすることによって時間を計時する。圧縮CPU23は、時間 $\alpha$ の経過後から2VDの時間が経過した後に、内部RAMに記憶されている撮像許可時間帯 $\gamma$ (図7)を、CG24に設定する(符号109)。

【0087】CG24は、時間 $\alpha$ の経過後から3VDの時間が経過した後に、蓄積電荷の掃出信号をCCD11に与える。CCD11は、この信号により電荷の掃出を行う。この掃出処理を行うのは、露光前にCCD11をリセット状態にするためである。

【0088】CCD11は、時間 $\alpha$ の経過後から4VDの時間が経過した後に、撮像電荷の蓄積可能な状態になる(時刻t6)。この状態は、撮像許可時間帯 $\gamma$ (VDの整数倍の時間)の間、維持される。撮像許可時間帯 $\gamma$ の計時は、圧縮CPU23によってCG24に設定された撮像許可時間帯 $\gamma$ に基づいて、CG24が行う。

【0089】また、圧縮CPU23は、時間 $\alpha$ の経過後から4VDの時間が経過すると、シャッタ信号をHレベルにする(時刻 $t_6$ )。シャッタ信号がHレベルになると、表示CPU31は、メインCPU37にシャッタ開放指令を与える。メインCPU37は、表示CPU31からのシャッタ開放指令を受けると、シャッタ制御装置46にシャッタ開放信号を与える。これにより、シャッタ制御装置46は、フォーカル・プレーン・シャッタ29を開放する。

【0090】シャッタ29の開放によって、被写体像は撮像レンズ28に通してCCD11面上に結像される。

【0091】メインCPU37は、その内部RAMに記憶されたシャッタ速度データに基づいてシャッタ開放時間を計時する。そして、シャッタ29の開放時からシャッタ開放時間が経過した後に、メインCPU37はシャッタ制御装置45にシャッタ閉鎖信号を与える。これにより、シャッタ制御装置45はシャッタ29を閉じる。上述したように、フォーカル・プレーン・シャッタ29が開放している時間(シャッタ開放時間)よりも長い時間が、撮像許可時間帯として設定されている。したがって、この撮像許可時間帯の間に、フォーカル・プレーン・シャッタ29の開放および閉鎖が行われることになる。

【0092】CG24は、撮像許可時間帯 $\gamma$ (VDの整数倍の時間)の経過後、CCD11に電荷転送信号を与える(時刻 $t_7$ )。これにより、被写体像の各画素を表すアナログ映像信号がCCD11から読み出されて信号処理回路12に与えられる。CCD11が1280×1024画素(約130万画素)を有する場合には、すべての画素についてのアナログ映像信号をCCD11から読出すのに8VDの時間を要する。

【0093】信号処理回路12には、ホワイト・バランス調整回路およびガンマ補正回路が含まれている。CCD11から信号処理回路12に入力された映像信号には、これらの回路によってホワイト・バランス調整およびガンマ補正がそれぞれ施される(符号111)。特にガンマ補正によって映像信号のレベル範囲が狭くなるからビット数の少ないA/D変換回路13を用いることができる。

【0094】信号処理回路12から出力されるアナログ映像信号はA/D変換回路13に与えられ、デジタル画像データに変換される(符号111)。このデジタル画像データは、Y/C処理回路14に与えられる。Y/C処理回路14は、圧縮CPU23の制御の下、A/D変換回路13から与えられるデジタル画像データから、輝度画像データYおよび色画像データ(色差データR-YとB-Yの点順次データ)Cを生成する。

【0095】圧縮CPU23は、メモリ・コントローラ18に画像データの取込みを指示する。これにより、生成された輝度画像データYおよび色画像データCは、メモリ・コントローラ18に取り込まれ、フレーム・メモリ17(DRAM、SRAM等)に記憶される(符号111)。

【0096】CCD11からの映像信号が処理されている

間に、圧縮CPU23は、撮影により得られた画像データを記憶するために、メモリ・カード19のディレクトリおよびFATの更新を行う(符号110)。圧縮CPU23はこの処理が終了すると、シャッタ信号をLレベルにする(時刻 $t_8$ )。

【0097】シャッタ信号がLレベルになると、表示CPU31は、シャッタ29の巻き上げ信号(シャッタ・チャージ信号)を、メインCPU37を介してシャッタ制御装置46に与える。この信号によって、シャッタ制御装置46はシャッタ29を巻き上げ、次の撮影に備える。

【0098】また、表示CPU31は、シャッタ信号がLレベルになると、圧縮指令を圧縮CPU23に与える(符号112)。

【0099】圧縮CPU23は、圧縮指令を受けると、フレーム・メモリ17に記憶されている画像データの読出し指令をメモリ・コントローラ18に与える。これにより、フレーム・メモリ17に記憶された輝度画像データYおよび色画像データCは、メモリ・コントローラ18によって読み出され、圧縮/伸張回路21に与えられる。また、圧縮CPU23は、圧縮指令および固定長処理において用いられるバイト数Sを表すデータを圧縮/伸張回路21に与える。

【0100】圧縮/伸張回路21は、画像データYおよびCを複数のブロックに分けて、各ブロックごとにADCT変換する(符号113)。ADCT変換されたこれらのデータ(ブロック・データ)は、メモリ・コントローラ18によって再びフレーム・メモリ17に記憶される。続いて、ブロック・データは、再びフレーム・メモリ17から圧縮/伸張回路21に与えられ、ブロックごとにハフマン符号化される。

【0101】圧縮/伸張回路21において、ハフマン符号化されたブロック・データ(符号化ブロック・データ)は、圧縮CPU23から与えられたバイト数Sの長さをもつデータに調整される(固定長処理)。符号化ブロック・データのバイト数が、この長さSに満たない場合には、この符号化ブロック・データにダミーのデータが付加され、長さSに変換される。符号化ブロック・データの長さが長さSを超える場合には、長さS以下になるまで、圧縮および符号化処理が再度繰り返され、必要に応じてダミーデータの付加が行われる(符号113)。

【0102】このようにして圧縮、符号化および固定長処理が施された画像データは、メモリ・コントローラ18によってメモリ・カード19に記憶される(符号114)。また、圧縮CPU23は、内部RAMに記憶された日付データをメモリ・コントローラ18に与える。メモリ・コントローラ18は、メモリ・カード19の日付データ領域にこの日付データを、画像データ(ファイル)に対応づけて記憶する(符号114)。

【0103】その後、後処理(メモリ・カードへのデータ書込み中にメモリ・カードが抜き取られないようにす

10

20

30

40

50

る機構の解除等の処理)が行われる(符号114)。

【0104】さらに、圧縮CPU23は、電源スイッチSW2をオフにし、CG24へのリセット信号をLレベルにする。また、表示CPU31は、電源スイッチSW1をオフにし、レリーズ信号をLレベルにする。これにより、電子スチル・カメラは次の撮影のためのスタンバイ状態となる(時刻t9)。

【0105】表示CPU31の内部RAMに記憶されている残り駒数N(表示装置33に表示されている残り駒数N)の値が0、またはメモリ・カード19が装着されてない場合には、シャッタ・レリーズ・ボタン35からのシャッタ・レリーズ信号が表示CPU31に与えられても、表示CPU31はこの信号を無視する。すなわち、この場合に、シャッタ・レリーズ・ボタン35によってシャッタ・レリーズされても、表示CPU31はレリーズ信号をHレベルにしない。これにより、圧縮CPU23がシャッタ信号をHレベルにすることはない。したがって、ユーザがシャッタ・レリーズを行っても、撮影処理(シャッタの開閉、映像信号の取込み等の処理)は行われない。

【0106】再生回路16は、輝度画像データYおよび色画像データCをNTSC信号に変換するものである。再生回路16からのNTSC信号は、電子スチル・カメラに接続された外部の表示装置(CRT表示装置等)または記録装置(VTR等)に送られる。NTSC信号が表示装置に送られると、撮影された画像が表示画面上に再生される。NTSC信号がVTRに送られた場合には、磁気テープ等に記録される。フレーム・メモリ17に記憶された圧縮前の画像データをこの再生回路16に与えることができる。メモリ・カード19に記憶された圧縮画像データを圧縮/伸張回路21によって伸張し、その後再生回路16に与えることもできる。また、Y/C処理回路14から出力される画像データを再生回路16に入力することもできる。これらは再生モード設定スイッチ(図示略)によって切換えられるであろう。

【0107】[連写モードにおける電子スチル・カメラの動作] 連写/単写切換スイッチ36で、連写モードが選択された場合には、図3～図5のタイム・チャートに示す連写モードの処理が行われる。3駒を連写した場合の処理が示されている。図3の続きが図4に示されている。図4の続きが図5に示されている。図2と同じ処理には、同じ符号が付けられている。

【0108】圧縮CPU23および表示CPU31は、設定モード・データに基づいて、各内部ROMにあらかじめ記憶されている連写処理用プログラム(図6および図8(A))を選択し、連写モード処理を行う。

【0109】時刻t1～t4における処理は、上述の単写モードにおける処理と同じであるので、ここではその説明を省略する。

【0110】ユーザがシャッタ・レリーズ・ボタン35によってシャッタ・レリーズ(全押し)している間、表示

CPU31は、レリーズ信号をHレベルに維持する。

【0111】時刻t5からt8において、第1駒目の撮影が行われ、この撮影により得られた画像データが処理され、フレーム・メモリ17に記憶される。図2に示す処理と異なるところは、この画像データの処理の間に、圧縮CPU23がメモリ・カード19のディレクトリおよびFATの更新を行わないことである(符号110で示される処理がない)。圧縮CPU23は、この画像データの処理の間に、内部RAMの連写駒数の領域に1を書き込む(符号130)(図7)。

【0112】フレーム・メモリ17への画像データの書き込みが終了すると、圧縮CPU23は、シャッタ信号をLレベルにする(時刻t8)。

【0113】表示CPU31は、シャッタ信号がLレベルになると、その内部RAMに記憶されている連写可能駒数Lおよび残り駒数Nの値をそれぞれ1減少させる。また、表示CPU31は、表示装置33に表示されている連写可能駒数Lおよび残り駒数Nの値をそれぞれ1減少させる(符号118)。

【0114】圧縮CPU23は、シャッタ信号をLレベルにした後、その内部ROMにあらかじめ記憶された時間 $\beta$ (図6)を計時する。圧縮CPU23は、CG24から与えられるVD信号をカウントすることにより、時間 $\beta$ を計時する。

【0115】時間 $\beta$ の経過後からさらに3VDの時間が経過した後に、圧縮CPU23は、撮像許可時間帯をCG24に設定する(符号116)。この処理は、符号109の処理と同じである。設定される撮像許可時間帯として、第1駒目の撮影時のものと同じもの(圧縮CPU23の内部RAMに記憶されたもの)がそのまま用いられる。連写モードにおいては第1駒目の撮影に先だってAEおよびAFが行われ、それ以降はAEおよびAFは行われない。

【0116】時間 $\beta$ の経過後からさらに4VDの時間が経過すると、圧縮CPU23は、シャッタ信号をHレベルにする(時刻t11)。これにより、第2駒目の撮影が行われる。露光処理、CCD11からの映像信号の読み出し、ならびに信号処理回路12、A/D変換回路13およびY/C処理回路14による処理(符号117)は、符号111で示す第1駒目の処理と同じである。

【0117】圧縮CPU23は、その内部RAMに記憶されている連写駒数の値を1増加させて2とする(符号131)。

【0118】表示CPU31は、その内部RAMに記憶された残り駒数Nの値および連写可能駒数Lの値をそれぞれ1減少させる(符号121)。また、表示CPU31は、表示装置33に表示されたこれらの値をそれぞれ1減少させる。

【0119】Y/C処理回路14から出力された画像データは、バッファ・メモリ20およびコネクタC1を通過して

増設メモリ・ボードM1のバッファ・メモリ55<sub>1</sub>に与えられる。圧縮CPU23は、セクタ22を通して増設メモリ・ボードM1のメモリ・コントローラ53<sub>1</sub>に画像データの取込み指令を与える。この指令により、メモリ・コントローラ53<sub>1</sub>は、バッファ・メモリ55<sub>1</sub>に与えられた画像データをフレーム・メモリ51<sub>1</sub>に記憶する(符号117)。

【0120】その後、時間 $\beta$ の計時が行われ、第3駒目の撮影準備が行われる(図4の符号119、CCD11の電荷の掃出)。その後、第3駒目の撮影が行われる(時刻t15)。圧縮CPU23は、セクタ22を通して増設メモリ・ボードM1のメモリ・コントローラ54<sub>1</sub>に画像データの取込み指令を与える。この指令により、メモリ・コントローラ54<sub>1</sub>は、バッファ・メモリ55<sub>1</sub>に与えられた第3駒目の画像データをフレーム・メモリ52<sub>1</sub>に記憶する(符号120)。

【0121】圧縮CPU23は、その内部RAMに記憶されている連写駒数の値を1増加させて3とする(符号132)。

【0122】表示CPU31の内部RAMに記憶された残り駒数Nおよび連写可能駒数Lの値は、それぞれ1減少させられる(符号122)。表示装置33に表示されたこれらの値もそれぞれ1減少させられる。

【0123】その後、ユーザがシャッタ・リリース・ボタン35のシャッタ・リリースを解除すると、表示CPU31は、リリース信号をLレベルにする(時刻t17)。これにより、圧縮CPU23は連写が停止したことを知り、これ以後、シャッタ信号をHレベルにすることを停止する。これにより、第4駒目以降の撮影は行われない。

【0124】表示CPU31は、リリース信号をLレベルにした後、圧縮CPU23に圧縮指令を与える(符号123)。

【0125】圧縮CPU23は、この圧縮指令を受けると、その内部RAMに記憶された連写駒数(ここでは3)の画像ファイルを記憶するために、メモリ・カード19のディレクトリおよびFATを更新する(符号124)。

【0126】続いて、圧縮CPU23は、連写駒数に基づいてフレーム・メモリに記憶されている画像データに圧縮処理を施す。ここでは、連写駒数の値が3であるので、フレーム・メモリ17、51<sub>1</sub>および52<sub>1</sub>に記憶されている画像データが処理対象となる。

【0127】まず、フレーム・メモリ17に記憶されている画像データが、圧縮/伸張回路21に与えられる。圧縮/伸張回路21に与えられた画像データは、圧縮、ハフマン符号化および固定長処理される。そして、圧縮画像データは、メモリ・カード19に記憶される(図4の符号125)。また、圧縮CPU23の内部RAMに記憶されている日付データが、この圧縮画像データ(ファイル)と対応づけられて、メモリ・カード19の日付データ領域に記

憶される(符号125)。

【0128】次に、増設メモリ・ボードM1のフレーム・メモリ51<sub>1</sub>に記憶されている画像データが、圧縮/伸張回路21によって圧縮、ハフマン符号化および固定長処理され、メモリ・カード19に記憶される(図4から図5にかけての符号126)。日付データもメモリ・カード19に記憶される(符号126)。続いて、増設メモリ・ボードM1のフレーム・メモリ52<sub>1</sub>に記憶されている画像データが、圧縮/伸張回路21によって圧縮、ハフマン符号化および固定長処理され、メモリ・カード19に記憶される(図5にかけての符号127)。日付データもメモリ・カード19に記憶される(符号127)。

【0129】その後、後処理(メモリ・カードへのデータ書込み中にメモリ・カードが抜き取られないようにする機構の解除等の処理)が行われる(符号123)。後処理の終了後、圧縮CPU23は、CG24へのリセット信号をLレベルにする。また、圧縮CPU23は、スイッチSW2をオフにして、CG24への電源供給を停止する。さらに、圧縮CPU23はシャッタ信号をHレベルにして、画像データのメモリ・カード19への記録が完了したことを表示CPU31に通知する(時刻t18)。

【0130】表示CPU31は、画像データのメモリ・カード19への記録完了通知を受けると、スイッチSW1をオフにし、圧縮CPU23への電源供給を停止する(時刻t19)。これにより、電子スチル・カメラは次の撮影のためのスタイバイ状態となる。

【0131】連写モードにおいても、残り駒数Nの値が1となると、表示装置33に数字1が表示される。残り駒数Nの値が0となると、表示装置33に数字0が表示される。また、連写可能駒数Lの値が1となると、表示装置33に数字1が表示される。連写可能駒数Lの値が0となると、表示装置33に数字0が表示される。

【0132】連写モードにおいて、撮影の最中に残り駒数Nおよび連写可能駒数Lの少なくともいずれか一方の値が0になった場合には、シャッタ・リリース・ボタン35からのシャッタ・リリース信号が表示CPU31に与えられても、表示CPU31はこの信号を無視する。これにより、シャッタ・リリース・ボタン35によってシャッタ・リリースが行われても、電子スチル・カメラは撮影動作を行わない。表示CPU31は、圧縮CPU23に与えられているリリース信号をLレベルにし、かつ圧縮指令を圧縮CPU23に与える。撮影動作が停止するまでの撮影によって得られた1または複数駒の画像データは、フレーム・メモリから読み出され、圧縮、ハフマン符号化および固定長処理される。処理された画像データは、メモリ・カード19に記憶される。その後、後処理が行われ、電子スチル・カメラはスタンバイ状態になる。

【0133】連写において、装着された全ての増設メモリ・ボードのフレーム・メモリが満杯になると、連写可能駒数Lは0になる。上述のように連写動作が中止さ

れ、フレーム・メモリに記憶された画像データの圧縮処理、メモリ・カードへの格納が行われる。増設メモリ・ボードにおける1または複数のフレーム・メモリの画像データが読み出され、これらのフレーム・メモリに画像データの記憶が可能な状態となったときに、連写モードにおいてシャッタ・リリース・ボタン35が全押しされたとしても、撮影動作は行われないのである。すなわち、すべてのフレーム・メモリに記憶された画像データの圧縮、メモリ・カードへの格納が終了するまでは、次の撮影はできない。

【0134】メモリ・カード19が装着されていない場合も、単写モードの処理において説明したと同様に、表示CPU31は、シャッタ・リリース・ボタン35からのシャッタ・リリース信号を無視する。

【0135】連写モードにおける各駒の撮影ごとにAEを行い、シャッタ速度データを求めることもできる。そして、このシャッタ速度データに基づいて撮像許可時間帯 $\gamma$ を求め、各駒の撮影時ごとにこの時間 $\gamma$ をCG24に設定することもできる。

【0136】上記実施例においては、機械的シャッタが設けられているが、CCDの駆動（電荷掃出しから蓄積電荷読出しまでの時間）によってシャッタ速度が規定される電子シャッタを用いることもできるのはいうまでもない。

【図面の簡単な説明】

【図1】電子スチル・カメラの電氣的構成を示すブロック図である。

【図2】単写モードにおける電子スチル・カメラの処理を示すタイム・チャートである。

【図3】連写モードにおける電子スチル・カメラの処理を示すタイム・チャートである。

【図4】連写モードにおける電子スチル・カメラの処理を示すタイム・チャートである。

【図5】連写モードにおける電子スチル・カメラの処理\*

\*を示すタイム・チャートである。

【図6】圧縮CPUの内部ROMの内容を示す。

【図7】圧縮CPUの内部RAMの内容を示す。

【図8】(A)は表示CPUの内部ROMの内容を、(B)は表示CPUの内部RAMの内容をそれぞれ示す。

【図9】EEPROMの内容を示す。

【符号の説明】

- 11 CCD (固体電子撮像素子)
- 12 信号処理回路
- 10 13 A/D変換回路
- 14 Y/C処理回路
- 15 D/A変換回路
- 16 再生回路
- 17, 51<sub>i</sub> ~51<sub>n</sub>, 52<sub>i</sub> ~52<sub>n</sub> フレーム・メモリ
- 18, 53<sub>i</sub> ~53<sub>n</sub>, 54<sub>i</sub> ~54<sub>n</sub> メモリ・コントローラ
- 19 メモリ・カード
- 20, 55<sub>i</sub> ~55<sub>n</sub> バッファ・メモリ
- 21 圧縮/伸張回路
- 22 セレクタ
- 20 23 圧縮CPU
- 24 クロック発生回路 (クロック・ジェネレータ)
- 25 主電源回路
- 26 補助電源回路
- 28 撮像レンズ
- 29 フォーカル・プレーン・シャッタ
- 30 絞り
- 31 表示CPU
- 32 リアル・タイム・クロック (時計)
- 35 シャッタ・リリース・ボタン
- 30 36 連写/単写切換スイッチ
- 37 メインCPU
- 43 AF用モータ
- M1 ~Mn 増設メモリ・ボード
- C0 ~Cn コネクタ

【図7】

圧縮CPU23の内部RAMの内容

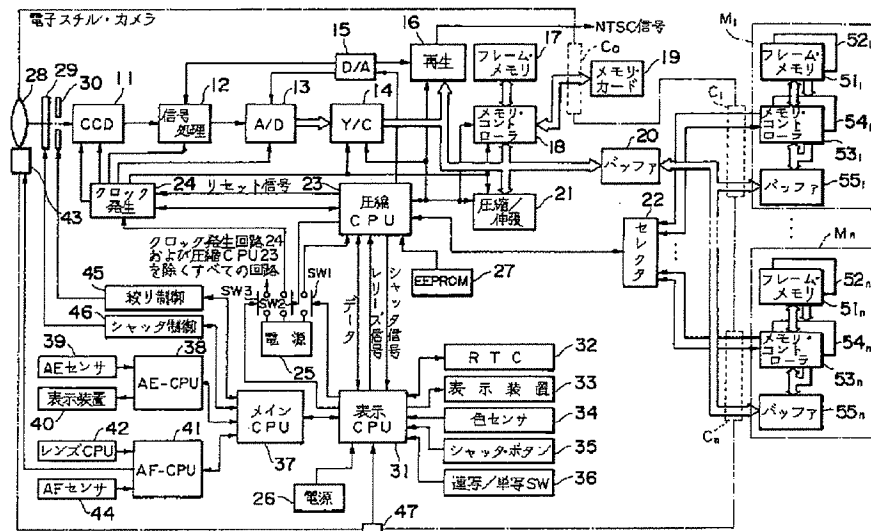
設定モード・データ
WBデータ
撮像許可時間帯 $\gamma$
日付データ
連写駒数

【図9】

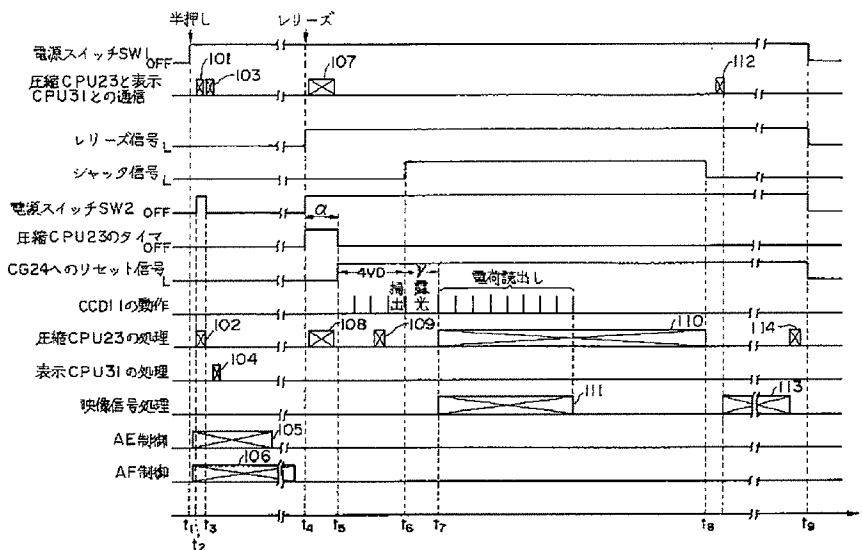
EEPROM27のデータの内容

ガンマ補正の ゲイン・データ
再生回路16の ゲイン・データ
A/D変換の 参照電圧

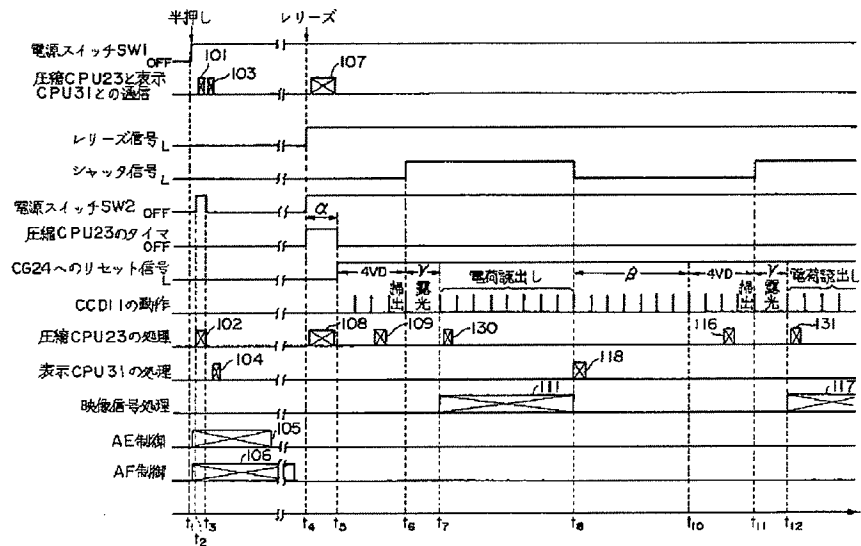
【図1】



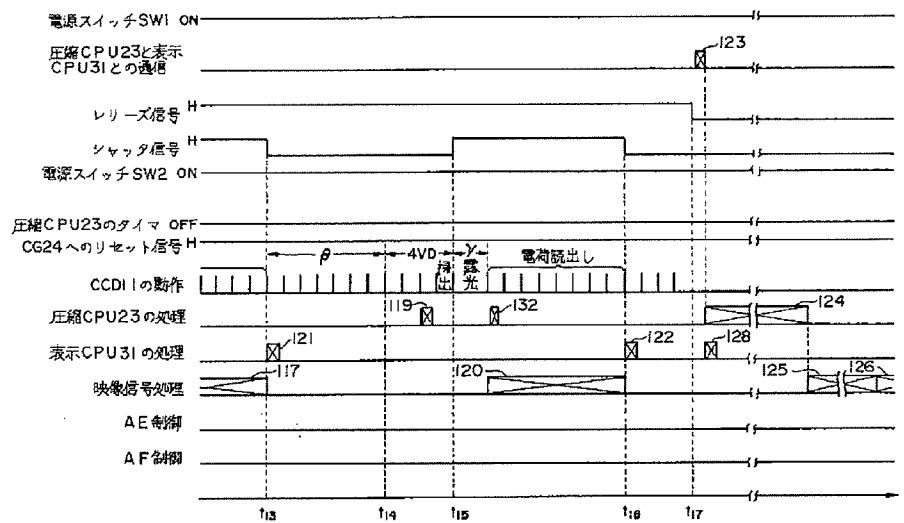
【図2】



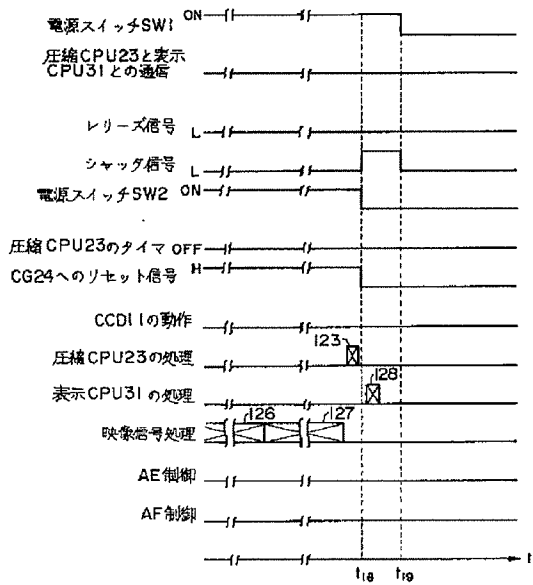
【図3】



【図4】



【図5】



【図8】

(A)

表示CPU31の内部ROMの内容

単写モード用 プログラム
連写モード用 プログラム

(B)

表示CPU31の内部RAMの内容

装着／未装着検出データ
残り駒数 N
連写可能駒数 L
設定モード・データ
シャッター速度データ

【図6】

圧縮CPU23の内部ROMの内容

リファレンス・コード A
時間 $\alpha$
時間 $\beta$
1 駒分の圧縮画像 データのバイト数 T
1 ブロックの バイト数 S
連写可能駒数算出 プログラム
残り駒数算出 プログラム
単写モード用 プログラム
連写モード用 プログラム